

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000201066 A

(43) Date of publication of application: 18.07.00

(51) Int. Cl

H03K 19/173

H01L 21/82

(21) Application number: 11327549

(22) Date of filing: 17.11.99

(30) Priority: 18.11.98 US 98 109417
10.03.99 US 99 266235

(71) Applicant: ALTERA CORP

(72) Inventor: JEFFERSON DAVID E
CAMERON MCCLINTOCK
SCHLEICHER JAMES
ANDY L LEE
MEJIA MANUEL
PEDERSEN BRUCE B
LANE CHRISTOPHER F
CLIFF RICHARD G
SURINIBASU T REDI

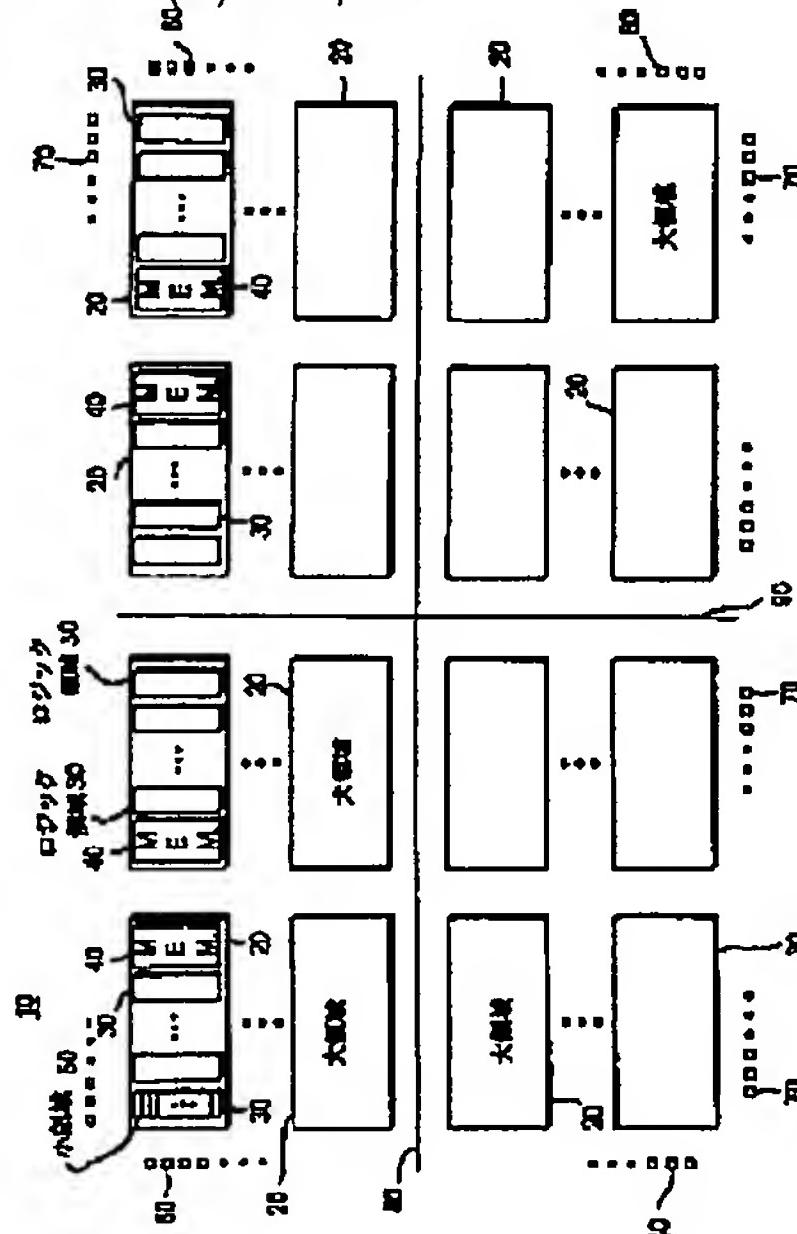
(54) PROGRAMMABLE LOGIC DEVICE STRUCTURE interconnection.

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a large capacity programmable logic device structure capable of eliminating the need for any excessive amount of interconnection conductor resources on a device.

SOLUTION: In a programmable logic device 10, plural large areas 20 arranged in a second-dimensional array constituted of crossing lines and columns are provided on this device. Each large area 20 is provided with plural programmable logic areas 30 and a programmable memory area 40. Each logic area 30 is provided with plural small areas 50 constituted of programmable logics. Each large area 20 is provided with connected interconnection resources so that communication between the logics in the large area and the memory area 40 can be attained without using any huge inter-large area interconnection resources arranged on this device in the same way for relative local

COPYRIGHT: (C)2000,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-201066

(P2000-201066A)

(43)公開日 平成12年7月18日 (2000.7.18)

(51)Int.Cl.

H 03K 19/173

H 01L 21/82

識別記号

101

F I

H 03K 19/173

H 01L 21/82

テーマコード(参考)

101

A

審査請求 未請求 請求項の数21 OL (全 15 頁)

(21)出願番号 特願平11-327549

(22)出願日 平成11年11月17日 (1999.11.17)

(31)優先権主張番号 60/109417

(32)優先日 平成10年11月18日 (1998.11.18)

(33)優先権主張国 米国 (U.S.)

(31)優先権主張番号 09/266235

(32)優先日 平成11年3月10日 (1999.3.10)

(33)優先権主張国 米国 (U.S.)

(71)出願人 594110103

アルテラ・コーポレーション

アメリカ合衆国・95134・カリフォルニア

州・サンホセ・イノベーション・ドライブ・101

(72)発明者 ディビッド・イー・ジェファースン

アメリカ合衆国、カリフォルニア 95134、

サンホセ・イノベーション・ドライブ
101、ケアオブ・アルテラ・コーポレーション

(74)代理人 100064012

弁理士 浜田 治雄

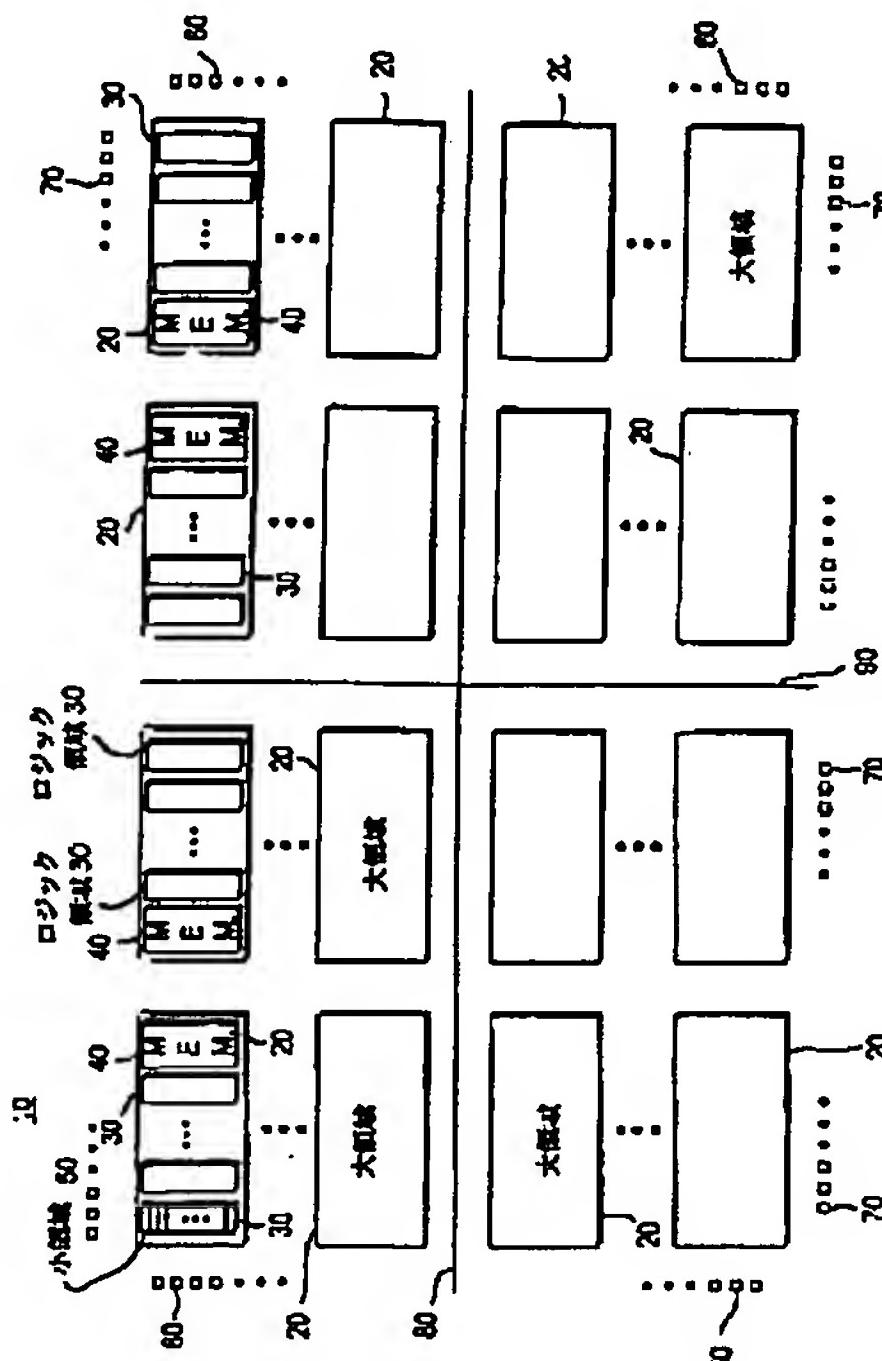
最終頁に続く

(54)【発明の名称】プログラマブルロジックデバイス構造

(57)【要約】

【課題】デバイス上において過大な量の相互接続コンダクタリソースを必要とすることを防止することができる大容量プログラマブルロジックデバイス機構を提供する。

【解決手段】プログラマブルロジックデバイスは、交差する行および列からなる二次元の配列内に配置された複数の大領域をこのデバイス上に備える。各大領域は、複数のプログラマブルロジック領域およびプログラマブルメモリ領域を備える。各ロジック領域は、プログラマブルロジックからなる複数の小領域を備える。各大領域は結合された相互接続リソースを備え、これによって、同じくこのデバイス上に配設された長大な大領域間相互接続リソースを比較的局部的な相互接続のために使用することなく、この大領域内のロジックおよびメモリ領域間の交信を可能にする。



【特許請求の範囲】

【請求項1】 デバイス上において交差する行および列からなる二次元の配列内に配置された複数の大領域を備え、前記大領域のそれぞれが複数のプログラマブルロジック領域およびメモリ領域を備え、前記ロジック領域のそれぞれが複数の入力と複数の出力を有するとともにその入力上で複数のロジック機能のうちのいずれかを実行して出力を形成するためにプログラムすることが可能であり、前記メモリ領域も複数の入力と複数の出力を有するとともにその入力に応答してその入力ならびにメモリ領域内に記録されたデータに少なくとも部分的に基づいた出力を生成し；前記出力を前記入力に対して選択的に接続するためのプログラム可能な相互接続回路を備えるプログラマブルロジックデバイス。

【請求項2】 各大領域について、相互接続回路が：この大領域と単独的に結合された複数の第1相互接続コンダクタを備え、大領域に結合された第1のコンダクタのそれがこの大領域内の全ての領域に近接して実質的に連続的に延在する請求項1記載のデバイス。

【請求項3】 相互接続回路はさらに：大領域の前記行のそれに沿って延在する複数の第2相互接続コンダクタと；大領域の前記列のそれに沿って延在する複数の第3相互接続コンダクタとを備える請求項2記載のデバイス。

【請求項4】 前記ロジック領域のそれがプログラマブルロジックからなる複数の小領域を備え、前記小領域のそれがこの小領域を内包するロジック領域の小群の入力と少なくとも一つの出力を備え、各小領域はその入力上において複数のロジック機能のうちのいずれかを実行して出力を生成する請求項1記載のデバイス。

【請求項5】 前記ロジック領域のそれがプログラマブルロジックからなる複数の小領域を備え、前記小領域のそれがこの小領域を内包するロジック領域の小群の入力と少なくとも一つの出力を備え、各小領域はその入力上において複数のロジック機能のうちのいずれかを実行して出力を生成する請求項2記載のデバイス。

【請求項6】 前記各大領域内の前記小群の小領域のそれについて、前記相互接続回路は：この小群に結合された複数の第4コンダクタをさらに備え、小群に結合された第4のコンダクタのそれがこの小群の小領域の全てに近接して実質的に連続的に延在する請求項5記載のデバイス。

【請求項7】 前記相互接続回路は：各小領域の入力を、この小領域を含んだ小群に結合された第4の相互接続コンダクタの少なくともいくつかに選択的に接続するよう構成された第1のプログラマブルロジックコネクタをさらに備える請求項6記載のデバイス。

【請求項8】 前記相互接続回路は：前記小群の小領域のそれに結合された第4の相互接続コンダクタの少なくともいくつかを、これらの小領域を包含する領域に

結合された第1の相互接続コンダクタの少なくともいくつかに選択的に接続するよう構成された第2のプログラマブルロジックコネクタをさらに備える請求項6記載のデバイス。

【請求項9】 各小群について、前記相互接続回路はさらに：この小群に結合された複数の第5コンダクタを備え、小群に結合された第5のコンダクタのそれがこの小群の小領域の全てに近接して実質的に連続的に延在し；前記小領域の出力をそれを、この小領域を含んだ小群に結合された第5のコンダクタの少なくとも一つに選択的に接続するよう構成された第3のプログラマブルロジックコネクタを備える請求項6記載のデバイス。

【請求項10】 前記相互接続回路は：各小領域の入力を、この小領域を含んだ小群に結合された第5の相互接続コンダクタの少なくともいくつかに選択的に接続するよう構成された第4のプログラマブルロジックコネクタをさらに備える請求項9記載のデバイス。

【請求項11】 各大領域について、相互接続回路は：この大領域に接続される第1の相互接続コネクタの少なくともいくつかを、この大領域を包含する行に沿って延在する第2の相互接続コンダクタの少なくともいくつかに選択的に接続するよう構成された第5のプログラマブルロジックコネクタをさらに備える請求項3記載のデバイス。

【請求項12】 各大領域について、相互接続回路は：この大領域に接続される第1の相互接続コネクタの少なくともいくつかを、この大領域を包含する列に沿って延在する第3の相互接続コンダクタの少なくともいくつかに選択的に接続するよう構成された第6のプログラマブルロジックコネクタをさらに備える請求項3記載のデバイス。

【請求項13】 各メモリ領域が異なった数の複数出力に平行して出力信号を提供するようプログラム的に構成可能である請求項1記載のデバイス。

【請求項14】 各メモリ領域がランダムアクセスメモリモードおよび積算項モードのうちの一方を選択して動作するようプログラム的に構成可能である請求項1記載のデバイス。

【請求項15】 各大領域について、相互接続回路は：この大領域のメモリ領域の出力の少なくともいくつかを、この大領域に結合される第1の相互接続コンダクタの少なくともいくつかに選択的に接続するよう構成された第7のプログラマブルロジックコネクタをさらに備える請求項2記載のデバイス。

【請求項16】 各大領域について、相互接続回路は：この大領域のメモリ領域の出力の少なくともいくつかを、この大領域を包含する行に沿って延在する第2の相互接続コンダクタの少なくともいくつかに選択的に接続するよう構成された第8のプログラマブルロジックコネクタをさらに備える請求項3記載のデバイス。

【請求項17】 各大領域について、相互接続回路は：この大領域のメモリ領域の出力の少なくともいくつかを、この大領域を包含する列に沿って延在する第2の相互接続コンダクタの少なくともいくつかに選択的に接続するよう構成された第9のプログラマブルロジックコネクタをさらに備える請求項3記載のデバイス。

【請求項18】 処理回路要素と；前記処理回路要素に結合されたメモリと；請求項1に定義されたものであり、これらの処理回路要素およびメモリに結合されたプログラマブルロジックデバイスとからなるデジタル処理システム。

【請求項19】 請求項1に定義されたプログラマブルロジックデバイスを実装したプリント回路基板。

【請求項20】 プリント回路基板上に実装されるとともにプログラマブルロジックデバイスに結合されたメモリをさらに備える請求項19記載のプリント回路基板。

【請求項21】 プリント回路基板上に実装されるとともにプログラマブルロジックデバイスに結合された処理回路要素をさらに備える請求項19記載のプリント回路基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、プログラム可能なロジック集積回路デバイスに係り、特にこの種のデバイス上の各種のリソース（例えばロジック、メモリ、および相互接続コンダクタ等）の組織に関する。

【0002】

【従来の技術】プログラマブルロジック集積回路デバイスを、プログラマブルロジックのブロック群と、ユーザがアクセス可能なメモリブロック群（例えばランダムアクセスメモリ（“RAM”）またはリードオンリメモリ（“ROM”）等）、ならびにロジックとメモリとの間において相互に信号を選択的に伝送するための相互接続コンダクタリソース（例えば、クリフ氏等による米国特許第5550782号公報およびクリフ氏等による米国特許第5689195号公報を参照、これらはとともにここにおいて全体的に参照に組み入れてある）。ロジックブロック群はユーザが必要とする様々な機能を実行するためにプログラムが可能である。メモリブロック群は、ユーザがデータを蓄積してその後出力するかまたは所要のロジック機能を実施するために使用することができる。相互接続コンダクタリソースは、デバイスの入力とロジックおよびメモリブロック群の入力との間、ロジックおよびメモリブロック群の出力とデバイスの出力との間、ならびにロジックおよびメモリブロック群の出入力との間においてユーザが広範な接続を形成するために使用することができる。しかしながら、個々のロジックモジュール（そのうちいくつかは各ロジックブロック内にある）およびメモリブロックは、通常比較的小さなロジックまたはメモリタスクのみを実行可能であり、相互接

続コンダクタリソースはこれらの個々のロジックおよびメモリタスクを連結することを可能にし、従って必要に応じて非常に複雑な機能を実行することができる。

【0003】集積回路製造技術の改良によって、非常に大量のロジック、メモリ、および相互接続コンダクタリソースを含むプログラマブルロジックデバイスを製造することが可能になった。プログラマブルロジックデバイス上のロジックおよびメモリが増加するに従って、それに比例するよりも多い量の相互接続コンダクタリソースを備えることが必要になる。これは、少なくとも理論的に、デバイス上のいずれかの入力および出力を、他の必要な接続を停止または妨害することなく接続し得ることが必要であるからである。ロジックおよびメモリブロックの数が増えるに従って、入力および出力の数が略直線比例的に増加する。しかしながら、入力および出力間ににおける必要な接続の数は指數倍的に増加する傾向がある。これにより、相互接続コンダクタおよび関連回路に使用されるデバイスのリソースの総量が過度なものとなる。

【0004】

【発明が解決しようとする課題】前述の観点により、本発明の目的は、デバイス上において過大な量の相互接続コンダクタリソースを必要とすることを防止することができる大容量プログラマブルロジックデバイス機構を提供することである。

【0005】本発明のより具体的な目的は、比較的短い相互接続コンダクタを使用して予想される“局部”的基盤に基づいた多量の相互接続の形成を容易にする大容量プログラマブルロジックデバイス上のロジックおよびメモリブロック群の配置を提供することであり、従ってより“高価な”長い相互接続リソースの量を削減することができ、この結果相互接続リソースに使用されるデバイスリソース部分全体を制限することができる。

【0006】

【課題を解決するための手段】本発明のこれらおよびその他の目的は、本発明の原理に従って、複数の大領域（それがプログラム可能なロジックおよびメモリを備える）を有し、この大領域をデバイス上において交差する2次元の配列内に配置することによって解決される。各大領域は、複数のプログラマブルロジック領域およびメモリ領域を有する。各ロジック領域は、複数のプログラマブルロジック小領域を備える。各小領域は、この小領域に付加される複数の入力信号上において比較的基本的ないくつかのロジック機能を実行するためにプログラム可能であり、これによって少なくとも一つの小領域出力を生成する。各メモリ領域は複数のメモリ入力を備え、これを介してメモリに信号を付加することができる（例えばメモリへの書き込みまたはメモリからの読み取りに使用するため）。各メモリ領域は、複数の出力を備え、これを介して信号がメモリから出力される。

【0007】第1のレベルの相互接続コンダクタリソースは、各大領域内の隣接する小領域間の通信を行うために配設される。(いくつかのケースにおいて、メモリ領域が第1のレベルの相互接続コンダクタリソースに近接する場合、この第1のレベルの相互接続コンダクタリソースはメモリ領域と交信も可能にする。) 第2のレベルの相互接続コンダクタリソースは、大領域内における長い距離の通信を行うために配設される(例えば、この大領域内における論理領域とメモリ領域との間において)。第3のレベルの相互接続コンダクタリソースは、デバイス上において大領域間の交信を行うために配設される。

【0008】各大領域内にメモリ領域を包含することは、第3のレベルの相互接続コンダクタリソースの必要性を削減するよう作用する。例えば、各メモリ領域は、このメモリ領域を含む大領域の第1および第2のレベルの相互接続コンダクタリソースのみを使用することによって、この大領域のロジック領域と共に動作することができる。このことは、本発明のプログラマブルロジックデバイス組織(構造)が大容量プログラマブルロジックデバイス上において必要とされる相互接続リソースの総量を削減または少なくとも抑制する方式を示すものである。

【0009】本発明のその他の詳細、特徴および種々の利点は、添付図面および以下に記す好適な実施例の詳細な説明によって明らかにされよう。

【0010】

【実施例】図1に示されるように、本発明に従って構成された例示的なプログラマブルロジックデバイス10は、112個のプログラマブルロジックおよびメモリ大領域20からなり、これらは28行および4列の2次元配列内に配置されている。各行は4個の大領域を含み、各列は28個の大領域を含んでいる。上から14番目の行は“予備”行であり、これはこの予備行の上の13行のうちのいずれか1行が故障した場合のみにこれを補完するために使用される。同様に下から14番目の行も予備行であり、これはこの予備行の下の13行のうちのいずれか1行が故障した場合のみにこれを補完するために使用される。従って、デバイス10上には一定量の“余裕”が設けられている。

【0011】各大領域20は、16個のプログラマブルロジック領域30と1個のメモリ領域40からなる1行を備え、これはデバイス10のユーザがRAM、ROM等として使用することができる。

【0012】各ロジック領域30は、10個のプログラマブルロジック小領域50からなる1列を備える。図1を煩雑化することを避けるため、最も左上のロジック領域30のみについてその小領域50が個別に示されている。

【0013】図1には、さらに大領域20の各行(予備

行を除いて)が各行の端部に近接して“水平”入力/出力(“I/O”)端子60を備えていることが示されている。最も上および最も下の列はそれぞれの端部に近接して4つのI/O端子60を備え、一方予備行を除くその他全ての行はそれぞれの端部に近接して5つのI/O端子60を備えている。同様に、ロジック領域30の各列の端部には、“垂直”I/O端子70がそれぞれ配設されている。一般的に各列の端部にはそれぞれ2個のI/O端子70が設けられており、例外としてロジック領域30の最も左および最も右の列にはそれぞれ1個のI/O端子70のみが設けられている。

【0014】図1において、ライン80およびライン90が回路を4つの同一四角形に分割している。ライン80および90は特定の相互接続コンダクタ内の分割バッファを示しており、これについては以下により詳細に説明する。

【0015】図2には、デバイス10上のより高いレベルの相互接続コンダクタリソースの概略が示されている。図2には、大領域20の各列に関連付けられた垂直コンダクタ100と大領域20の各行に関連付けられた水平コンダクタ110とが存在することが示されている。例えば、ロジック領域30(図1)の各列と関連付けられた80個の垂直コンダクタ100とメモリ領域40(図1)の各列と関連付けられた208個の垂直コンダクタ100とが存在し得る。大領域20の各行と関連付けられた100個の水平コンダクタ110とが存在し得る。垂直コンダクタ100は、関連付けられた大領域列内において大領域20間の交信を行うことを可能にする。水平コンダクタ110は、関連付けられた大領域行内において大領域20間の交信を行うことを可能にする。

【0016】各垂直コンダクタ100は、その中間点においてプログラム可能な分割バッファ120aおよび120bによって分割されている。各分割バッファ120は関連付けられたプログラム可能な機能制御要素(“FCE”)122aおよび122bによって制御される。垂直コンダクタ100に関連付けられたFCE122は関連付けられたバッファ120の両方を非能動化するようプログラムすることができ、この場合、コンダクタ100の半分をそれぞれ分離かつ独立して使用することができる。他方、コンダクタ100に関連付けられたFCEのいずれか一つは、関連付けられたバッファ120を能動化するようプログラムすることができ、この場合コンダクタの一方の半分が他方の半分を駆動する。例えば、コンダクタ100のバッファ120aが付勢されている場合、このコンダクタの上半分が下半分を駆動する。このようにして、コンダクタ100の各半分を共に使用することができる。

【0017】同様に、各水平コンダクタ110は、その中間点において分割バッファ130aおよび130bに

よって分割することができ、それぞれFCE132aおよび132bによって制御される。要素120および122と同様に動作することにより、要素130および132はコンダクタ110の各半分を分離して使用するか、または一方の半分が他方の半分を駆動することができる。

【0018】図2には、さらに、大領域20が、関連付けられた大領域内においてロジックおよびメモリ領域30および40(図1)間で双方向に信号を伝送するための複数の“広域水平”コンダクタ140を備えることが示されている。(コンダクタ140は関連付けられた大領域20内の全ての領域30および40にわたって延在するため時々“広域”と呼ばれるが、大きな観点から見るとこれらは実際には前述した複数の大領域20にまたがるコンダクタ100および110ほど広域なものではない。)図示されている具体的な実施例においては、各大領域20に個別または排他的に関連付けられた279個のコンダクタ140を備えている。

【0019】図3には、典型的な大領域20内における相互接続が示されている。一般的に異なる2種類からなる局部的コンダクタ160aおよび160bは、各ロジックおよびメモリ領域30または40(図1)の両側に沿って延在している。局部コンダクタ160aは領域供給コンダクタであり、これは関連付けられたコンダクタ140および150から極近接するロジックまたはメモリ領域30/40(図1)に信号を伝送する。コンダクタ150は、クロックおよび“高速”コンダクタのネットワークの一部であり、これはデバイス10全体にわたって延在しており、これによってデバイス上の多くの位置で必要とされるクロック、消去、および/またはその他の信号等の共有のまたは少なくとも他用途の信号を提供する。プログラマブルロジックコネクタ(“PLC”)170は、コンダクタ140/150をコンダクタ160aにプログラム可能かつ選択的に接続するために設けられる。局部コンダクタ160bは、局部フィードバックコンダクタであり、各小領域50(図1)の出力信号を近接する小領域50に提供することを可能にする。コンダクタ180は、コンダクタ160からの信号を近接するロジックまたはメモリ領域30/40に選択的に付加するために設けられている。図3には示されていないが(図が煩雑化することを防止するため)、PLCは交差するコンダクタ160および180をプログラム可能かつ選択的に接続するためのPLCが設けられる。従って、コンダクタ160と180の交差部分はこれらのPLCを示している。これらの交差部分の体表的ないくつかは参照符号162によって示されている。

【0020】ロジックおよびメモリ領域30/40(図1)の出力は、種々の形式のドライバに付加され、それらのいくつかは図3に示されている。図3に示されていない(他の図には示されている)ものとして、ロジック

およびメモリ領域出力を近接するフィードバックコンダクタ160bに選択的に付加するためのドライバがある。各領域30/40(図1)に関連付けられているその他のドライバ190は、近接するコンダクタ100および110からの信号と並んで領域出力を近接するコンダクタ140に選択的に付加する。各領域30/40(図1)に関連付けられたさらに別のドライバ200は、近接するコンダクタ100および110からの信号と並んで領域出力を別の近接するコンダクタ100および110に選択的に付加する。

【0021】図3には、さらにメモリ領域40(図1)の各列も関連付けられたコンダクタ100は2つのグループに分類することができ: それらは一般的コンダクタ100とトライステートコンダクタ100'である。列内の各メモリ領域40は、このメモリ領域の出力をこの列に関連付けられたトライステートコンダクタ100'のうちの任意の一つにプログラム可能かつ選択的に付加するためのトライステートドライバ210を備えている。ドライバ210およびコンダクタ100'は、一つのメモリ領域のみによって提供されるよりも奥深いメモリを提供するために列内の複数のメモリ領域が共に使用される際に使用される。これらの複数メモリ領域を共に使用する方式についての追加的な情報は、1998年2月13日に提出されたペダーソン氏等の米国特許出願第09/023251号を参照すれば得られる。前記のペダーソン文献はここにおいて参考として全体的に組み入れてある。

【0022】図4は、図3のコンダクタ150によって部分的に示された高速コンダクタのネットワークをさらに図示したものである。(図4には、図3のコンダクタ150に含まれているクロックコンダクタは示されていない。)8個の高速中継コンダクタ220a/bがデバイス10を横断して垂直に延在している。これらの中継コンダクタ220aのうちの4つは専用の高速入力端子230から延在している。他の4つの中継コンダクタ220bは、大領域20内のトライステートドライバ240からこれらのコンダクタの左および右側に駆動することができる。PLC246は大領域20内の各行に対して設けられ、この行と関連付けられた高速コンダクタ150のそれぞれに端子230から駆動されるコンダクタ220aの一つからの信号またはトライステートドライバ240から駆動されるコンダクタ220bの一つからの信号のいずれかを付加する。各コンダクタ220a/bはその中間点にバッファ250を備えている。トライステートドライバ240によって駆動可能な各コンダクタ220bの場合、各方向についてバッファ250aおよび250bが設けられており、さらにこれらのドライバのうちの一つをプログラム可能かつ選択的に能動化するとともに他のドライバを非能動化するためのFCE252を備えている。

【0023】図5には、クロックおよび高速コンダクタネットワークの追加的な詳細が示されている。特に、図5には、トライステートドライバ240のそれぞれがデバイス10の中心（従ってコンダクタ220b）に最も近いとともにこのドライバにも近接するコンダクタ160aおよび160bのいずれかからの入力信号を受信することが示されている。PLC241およびコンダクタ241'は、各ドライバ240に入力信号を供給する。各ドライバ240は、関連付けられたFCE242によって制御される。各ドライバ240の出力は、PLC244によって一つまたは複数の関連付けられたコンダクタ220bに付加される。

【0024】図5には、さらに2つのクロックコンダクタ150と4つの高速コンダクタ150と近接するコンダクタ160からの4つの入力180のうちのいずれかの領域に対していわゆる二次信号を提供するために各領域と結合された回路260が示されている。これらの二次信号は、関連付けられた領域30の小領域50内のレジスタを制御するために使用される。例えば、二次信号は、レジスタが必要とするクロックおよびクリア等の信号を提供する。

【0025】図5には、さらに近接する局部フィードバックコンダクタ160bへの小領域出力を駆動するために使用されるドライバ270が示されている。ドライバ270のより具体的な例が図7に示されており、これらのドライバについては後に図7を参照して詳細に説明する。

【0026】図5に示されている2つのクロックコンダクタ150（すなわち図5の一番上の2つの水平コンダクタ）は、2つのクロック専用端子からデバイス10全体にわたって延在するクロックコンダクタネットワークの一部である。クロックコンダクタネットワークは種々の形態とし得るとともに本発明の要点ではないため、これ以上クロックコンダクタネットワークについて詳しく説明する必要はないと判断される。

【0027】図6には、典型的な小領域50が（概略的とはいえる）より詳細に示されている。小領域50の可能な構造の詳細については、1997年7月29日提出のクリフ氏等の米国特許出願第08/902416号に記載されており、これはここにおいて全体的に参考に組み入れてある。しかしながら、これについての詳細な説明は本発明を理解するためには必要ないものである。

【0028】図6に示されているように、小領域50は4入力ルックアップテーブル310を備えており、これはルックアップテーブルに付加される4つの入力信号180の論理的組み合わせからなる出力信号を形成するようプログラムすることができる。ルックアップテーブルの出力信号はレジスタ320によって記録することができる。二次信号（すなわち図5の回路260からのクロックおよびクリア信号）もレジスタ320に付加され

る。レジスタ320の出力信号は各PLC330aおよび330bの入力端子に付加される。ルックアップテーブル310の記録されない出力信号は、各PLC330aおよび330bの別の入力端子に付加される。従って、各PLC330aおよび330bは、それぞれ出力信号340aおよび340bを形成するようにプログラムすることができ、これはルックアップテーブル310の記録された、または記録されていない出力信号のいずれかである。

【0029】図7には、各小領域50が、コンダクタ160から2つの一次入力180を左側に受信し、コンダクタ160からの他の2つの一次入力180を右側に入力することがより詳細に示されている。図7には、さらに各小領域50がその一次出力340aのうちの一つをドライバ190/200/270の左側に付加し、別の一次信号340bをドライバ190/200/270の右側に付加する。各ドライバグループ190/200/270は、4つの小領域50からの出力340を受信し、そのうち2つを左側に、他の2つを右側に受信する。各ドライバグループ190/200/270の一部分270は、2つの局部出力信号350aと350bとを形成し、これらはこのドライバグループを内包する領域30に近接する2つのコンダクタ160bに付加される。各出力信号350は、水平に近接する2つの小領域50の出力340の中から選択される（この点をより詳細に示している図8も参照）。大領域20の半分において、図7に示された形式の回路が左右対称に配設される。

【0030】図8には、代表的なドライバグループ190/200/270の詳細が追加的に示されている。例えば、PLC410は、左上に近接する小領域50の出力信号340b、右下に近接する小領域50の出力信号340a、近接する10個の垂直コンダクタの信号100、近接する一つの水平コンダクタの信号110の中から一つを選択するようプログラムすることができる。PLC410によって選択された信号は、ドライバ412に付加され、さらに近接する広域コンダクタ140に付加される。PLC420は、左上に近接する小領域50の出力信号340b、右下に近接する小領域50の出力信号340a、近接する8個の垂直コンダクタの信号100、近接する一つの水平コンダクタの信号110の中から一つを選択するようプログラムすることができる。PLC420によって選択された信号は、ドライバ422に付加され、さらに（PLC424を介して）近接する3つの垂直コンダクタ100の一つまたは近接する2つの水平コンダクタ110のうちの一つに付加される。

【0031】PLC430は、左上に近接する小領域50の出力信号340b、右上に近接する小領域50の出力信号340a、近接する12個の垂直コンダクタの信号100、近接する一つの水平コンダクタの信号110

の中から一つを選択するようプログラムすることができる。PLC430によって選択された信号は、ドライバ432に付加され、さらに近接する広域水平コンダクタ140に付加される。

【0032】要素440, 442および444は、付加される小領域出力が左下に近接する小領域50および右上に近接する小領域50からのものであることを除いて、一般的に要素420, 422および424に類似するものである。要素450および452は、付加される小領域出力が左下に近接する小領域50および右上に近接する小領域50からのものであることを除いて、一般的に要素410および412に類似するものである。

【0033】図8には、さらに局部フィードバック出力信号350aが左上に近接する小領域50の出力340bと右上に近接する小領域50の出力340aとから(PLC460によって)選択されることが示されている。ドライバ462はPLC460によって選択された信号を増幅する。局部フィードバック出力信号350bは、左下に近接する小領域50の出力340bと右下に近接する小領域50の出力340aとから(PLC470によって)選択される。

【0034】図8より、左上および右上の小領域50は左下および右下の小領域50に比べてコンダクタ100, 110および140に通じる経路をより多く有することが理解されよう。この明らかな不均衡は、左下および右下の小領域に図8に示されるドライバグループ190/200の左側および右側に通じる経路をより多く設けることによって解消され、他方左上および右上の小領域にはドライバグループ190/200内の左側および右側に通じる経路がより少なく設けられる。各大領域20内の領域30の行に対して交互に水平交差させ、また同様に大領域20内の小領域50の列を交互に垂直延在させることによって、全ての小領域50において略均等なアクセスが達成される。

【0035】図9には、典型的なメモリ領域40が示されている。クリフ氏等の米国特許第5550782号公報、クリフ氏等の米国特許第5689195号公報、および1998年3月3日に提出されたハイル氏等の米国特許出願第09/034050号に記載されている所定のメモリ領域構造をメモリ領域40に適用することができる。従って、メモリ領域40の特徴に関する追加的な説明はここでは省略するものとし、これら全ての参考文献はここにおいて全体的に参照に組み入れてある。これらの点に関する追加的な説明は本発明を理解するために必要なものではないことが理解されよう。

【0036】メモリ領域40の主要な構成要素は、64行32列のRAMビットからなるブロック510である。(メモリ領域40(例えば、ROM、積算項("p項")ロジック等)の使用方式については、RAMを参考にできること理解される。)回路540および600

は、(図示されていないが、関連付けられたFCEによって)メモリ領域40が複数のワード長モードのうちのいずれか一つにおいて動作し得るようにそれぞれプログラムすることができる。ユーザが選択できるワード長は、1ビット、2平行ビット、4平行ビット、8平行ビット、および16平行ビットである。

【0037】5ビットの書き込みアドレス情報以上のものが導線512を介して回路540に付加される。16ビットの書き込みアドレス情報以上のものが導線514を介して回路に付加される。16未満のワード長が選択された場合、データ用には必要のない導線514が追加的な読み取り/書き込み列アドレスビットに使用される。回路540は、導線512/514を介して付加される情報およびプログラムされたワード長状態を使用して、導線542を介してRAMブロック510の1つまたは複数の列を付勢し、また導線514からのデータを導線544のうちの適正な一つに伝送する。書き込みアドレスデコーダ回路550には、導線516を介して追加的な6ビットの書き込みアドレス情報が提供される。回路550は、この情報を使用して、ANDゲート560が導線518上の書き込み許可信号によって付勢される際に、ANDゲート560および導線562を介してRAMブロック510の64行のうちの1行を付勢する。従って、導線544を介して付加されるデータは、RAMブロック510内の導線542を介して付勢された列内の導線562を介して付勢された行に蓄積される。

【0038】メモリ領域40は2つの異なったモードで読み取ることができ：それらはRAMモードおよびp項モードである。まずRAMモードについて説明すると、6ビットの読み取りアドレス情報が導線520を介して読み取りアドレスデコーダ570に付加される。デコーダ570は、この情報を使用して、ANDゲート580が導線522上の読み取り許可信号によって付勢される際に、RAMブロック510の64行のうち一つを選択する。RAMモードPLC590は、ANDゲート580の出力信号をRAMブロック510の読み取り付勢導線592に付加するようプログラムされる。RAMブロックの行から読み取られ従って付勢されたデータは、導線598を介して出力される。回路600は、導線524を介してさらに5ビット以上の読み取りアドレス情報を受信する。回路600はこの情報およびそのプログラムされた状態(前述したようにユーザによって選択されたワード長を示すもの)を使用し、導線602を介する出力について1, 2, 4, 8または16のデータビットの中から選択する。

【0039】p項モードにおいては、通常は高位の読み取りアドレス信号に使用される16本の導線514、6本の導線520、および4本の導線520からの導線530上に32ビットのいわゆる“p項定数”が形成され

る。前記の米国特許出願第09/023251号により詳しく記載されているように、これらの高位のアドレスビットは、列内のいくつかのメモリ領域40を同時使用して一つのメモリ領域のみによって提供されるものよりも奥深いメモリを提供する際に使用される。導線530上の信号は、インバータ532によって反転され、導線530の真数および補数バージョンの信号の両方が導線534を介してPLC590に付加される。p項モードにおいては、PLC590は導線534上の信号を導線594に付加するようにプログラムされる。従って、RAMブロック510内の半分の行は同時に読み取りを行い、従ってこれらの行は導線530上のp項定数のビットが論理1でありまたこれらビットが論理0であることによって決定されて読み取りを行う。RAMブロック510内の各列は、付勢された行内に蓄積されたデータの積を結合された導線598を介して出力する。回路600内におけるORゲートおよび関連する要素は、導線598上の積の合計を形成し導線602を介して出力する。従って、p項モードにおいてメモリ領域40は導線602上の出力信号の積和を形成する。

【0040】図10には、RAMブロック510内の代表的なメモリセルの構造が示されている。インバータ710および720は、1ビットのデータを蓄積するために閉ループ式に接続されている。データを真数および補数形式において導線544および544バーにそれぞれ付加し、書き込み列選択導線542および行書き込み導線562に論理1を付加することによって、インバータ710/720内にデータが書き込まれる。これらの論理1信号は、トランジスタ730, 740, 750および760を付勢し、これによってインバータ710/720が付加されたデータを記録することを誘引する。

【0041】行読み取り導線592に論理1を付加することによってインバータ710/720からデータが読み取られる。このことによってトランジスタ780が付勢される。トランジスタ770もインバータ710からの論理1出力によって付勢され、ソースライン598aとドレインライン598bとの間に導電路が形成される。検出アンプ(図9の600)は、ライン598aと598bの間にこのような導電路が存在するかどうかを検出する。

【0042】図11には、典型的なメモリ領域40がどのように近接する相互接続コンダクタに接続されるかが示されている。図11には、大領域20の一部であるメモリ領域40が示されており、これにおいてロジック領域30はメモリ領域40の左側にある。ロジック領域30がメモリ領域40の右側にある場合、回路は図11に対して対称形となる。利便性のため、メモリ領域40の側方のロジック30に近接するサイドを時々“領域サイド”と呼称する。メモリ領域40の近接するロジック領域30から遠い方のサイドは、時々メモリ領域の“大領域サイド”と呼称する。

【0043】図9においてデータ信号514である信号は、図11においては回路810から来るものとなる。回路810はレジスタのグループであり、これは(1)メモリ領域40のロジック領域サイドからこの回路に供給を行う導線180からのレジスタ信号を使用するか、または(2)これらの導線180の記録されていない接続を導線514へバイパスさせることを可能にすることができる。従って、導線514を介してRAMブロック510に付加されるデータは、回路810のプログラム可能な制御によって、“記録するかまたはバイパス”される。“記録するかバイパスするか”的選択は、以下に記述するように図11内の他の信号にも適用することができる。

【0044】回路820は、導線150から高速ラインおよびクロック信号を受信し、さらにメモリ領域40のロジック領域サイド上に結合された導線180からの別の3つの信号を受信する。回路820への別の入力は、回路830からの付勢信号であり、これは、单一のメモリ領域が生成するものよりもより奥深いメモリを提供するために同時に使用される複数のメモリ領域40のうちの任意の一つへの書き込みを制御するために使用される高位のアドレスビットをデコードする。回路820は、少なくとも部分的に入力150および/または180に基づきまたメモリ領域40の何処かで使用される複数の信号を提供するようプログラムすることができる。例えば、回路820は、前述した回路810内のレジスタによって使用されるクロックおよびクリア信号を供給する。回路820は、さらに行書き込みアドレスデコーダ回路550に対して書き込み許可信号を提供する。

【0045】回路840は、書き込み列デコーダ回路540による書き込み列選択のために使用されるアドレス信号522のための“記録されるかまたはバイパスされる”選択を提供する。従って、回路540は、5つの信号を受信することに加えて、回路810は受信するものと同じクロックおよびクリア信号を回路820から受信する。

【0046】回路850は、メモリ40内の何処かにおいて第1に出力制御に使用される信号を提供することを除いて、回路820に類似するものとなる。例えば、回路850はクロックおよびクリア信号を形成し、これは“記録されたまたはバイパスされた”回路860および870内および回路600の出力段640内のレジスタによって使用することができる。各回路860, 870および640は、回路820からのクロックおよびクリア信号を交互に使用する。回路850は、メモリ領域40の大領域サイドからの入力を受信する。回路850は、さらに回路880からの付勢信号を受信する。この付勢信号を提供する際に、回路880は回路830にいくらか似た動作を行う。特に、一つのメモリ領域による

ものよりも奥深いメモリを提供するために複数のメモリ領域40を同時に使用する際に、回路880はより高位のアドレス信号を受信およびデコードし、結合されているメモリ領域が実際にデータを出力しているものかどうかを判断する。そうである場合、回路880は回路850を付勢する信号を出力し、これは次に読み込み許可信号522を回路590に付加する。

【0047】回路860は、回路600による読み取り列選択のために使用されるアドレス信号に対して“記録されるかまたはバイパスされる”選択を提供する。回路600内の列デコーダ回路620が実際に列選択を実行する。さらに他の列選択は、回路630によってプログラムに基づいて16ビット、8ビット、4ビット、2ビット、1ビットのいずれのワード長が使用されているかを判断して実行される。回路860は、回路820または回路850のいずれかからのクロック信号およびクリア信号を使用するようプログラムすることができる。

【0048】回路870は、回路550による書き込み行選択、および回路590による読み取り行選択のために使用されるアドレスビットに対して“記録されるかまたはバイパスされる”選択を提供する。回路870は、回路820および回路850の両方からクロックおよびクリア信号を受信する。回路870は、さらに、回路880によって実行されるより高位のアドレスビットデコードに対して“記録されるかまたはバイパスされる”選択を提供する際に回路880が使用するクロックおよびクリア信号を送信する。回路880は、回路880内のトライステートドライバ210(図3)およびPLC882(例えば、1対4デマルチプレクサ)を介してメモリ領域40からトライステート垂直コンダクタ100'の一つに付加するために使用することができる。この特徴は、特に一つのメモリ領域自体によるものよりも奥深いメモリを提供するために複数のメモリ領域40が同時に使用される際に適用される。回路880は、導線180を介して受信するより高位のアドレスビットをデコードし、これによってトライステートドライバ210(図3)をいつ付勢するかを決定する。

【0049】回路640は、回路630によって選択されたメモリ出力信号を送信するか、または検出アンプ回路610の出力によって表示される所要の積算項(“p項”)の和を形成するようプログラムすることができる。回路630の構成に関する詳細な説明は前述したハイル氏等の米国特許出願第09/034050号に示されている。従って、回路640は付加されたp項信号の種々の和を形成するために必要とされるOR回路を含んでいる。回路640も回路820および850からのクロックおよびクリア信号を受信し、回路630の出力または回路640内で形成される積和信号のいずれかに対する“記録されるかまたはバイパスされる”選択を提供する際にこれらの信号を使用することができる。

【0050】図11の左側(すなわちメモリ領域40の領域サイド上)のドライババンク190/200/270は、(1)領域30から左方への小領域出力信号340bと、(2)メモリ領域40の選択された出力と、(3)垂直コンダクタ100から左方への信号と、(4)このメモリ領域を内包する大領域20の行に結合された水平コンダクタ110からの信号とを受信する。このドライババンク190/200/270は、これらの信号からの選択を行うとともに、これらを(1)近接する局部フィードバックコンダクタ160bと、(2)前記の垂直コンダクタ100および110と、(3)当該メモリ領域40を内包する大領域20に結合された広域水平コンダクタ140のうちから選択されたものに伝送するようプログラムすることができる。

【0051】図11の右側(すなわちメモリ領域40の大領域サイド上)のドライババンク190/200は、(1)メモリ領域40の全ての出力と、(2)垂直コンダクタ100/100'から右方への信号と、(3)このメモリ領域を内包する大領域20の行と結合された水平コンダクタ110からの信号とを受信する。このドライババンクは、これらの信号からの選択を行うとともに、これらを前記の垂直コンダクタ100および110と、当該メモリ領域40を内包する大領域20に結合された広域水平コンダクタ140のうちから選択されたものに伝送するようプログラムすることができる。

【0052】図11には、さらに回路590へのp項定数信号530の付加が示されている。従って、回路590はさらに図9に示されたインバータ532およびマルチプレクシング590を備えている。

【0053】図12には、図11に示された2つのドライババンク190/200/270および190/200の例示的な構成がより詳細に示されている。図12において“A”のラベルを付けられたドライバグループは、図8に示されたドライバグループと同様のものとすることはできる。(図8の部分270は、図12のグループが駆動され得る局部コンダクタ160bに結合されているかどうかに依存して、図12内の各グループAに含まれる場合と含まれない場合がある。)図12において“B”でラベルされたドライバグループは、前述した図8に代わるものと類似のものとすることができます、これは図8のドライバグループと交替してこれらのドライバによって提供される相互接続に対して略全体的な均一性を提供する。図12には、メモリ領域の16個の出力602がどのように種々のドライバAおよびBの入力に分配されるか示されており、図12における殆どの場合において図示された信号602は図8内の該当する位置にある小領域出力340を代替するものであることが理解される。例えば、図12の左上のドライバグループA内の小領域50からの2つの左側入力は図8のものと同様であるが、2つの右側入力はビット0およびビット2に

対するメモリ領域出力602となる。別の例においては、右上のドライバグループA内の左側の2つの個々の入力は、ビット0およびビット1に対するメモリ領域出力602となり、右側の2つの入力はビット8およびビット9に対するメモリ領域出力602となる。図12において、各メモリ領域出力に対して近接するコンダクタ100, 110および140への複数の異なった経路を提供するために充分な接続が設けられている。図12には、さらにPLC882を介してのコンダクタ100'へのトライステート出力が示されている。

【0054】前記の説明から、本発明に係るプログラマブルロジックデバイス構造は、メモリ領域40をデバイス上のロジック領域30の各グループと結合して備えることが理解される。各メモリ領域40は、コンバータ140および160等の比較的局部的な相互接続リソースを介して、結合されたロジック領域30と共に使用することができる。一般的に、このようにメモリ領域40を結合されたロジック領域30と共に使用するために、コンダクタ100および110等のより高価で長大な相互接続リソースを用いる必要はない。このようにロジック領域30およびメモリ領域40は大領域内において互いに関連付けられているが、これらの全ての領域は装置の広域的なリソースとして機能することもできる。特に、全てのロジック領域30およびメモリ領域40は、コンダクタ100および110等の相互接続リソースへのアクセスも備えている。従って、デバイス上のいずれかの領域30または40の入力および出力は、実質的にデバイス上の他のいずれかの領域30および40の入力および出力に接続することができる。

【0055】図13には、データ処理システム1002内に設置された本発明に係るプログラマブルロジックデバイスが示されている。データ処理システム1002は：プロセッサ1004；メモリ1006；I/O回路1008；および周辺機器1010のうちの一つまたは複数を備えている。これらの要素はシステムバス1020によって結合されるとともに、エンドユーザシステム1040内に設けられた回路基板1030上に配設されている。

【0056】システム1002は、例えばコンピュータネットワーキング、データネットワーキング、計測、ビデオ処理、デジタル信号処理、またはその他のプログラマブルまたはリプログラマブルロジックの利点を利用し得る広範な適用方式において使用することができる。プログラマブルロジックデバイス10は、種々の異なったロジック機能を実施するために使用することができる。例えば、プログラマブルロジックデバイス10は、プロセッサ1004と連動して機能するプロセッサまたはコントローラとして構成することができる。プログラマブルロジックデバイス10は、さらにシステム1002内の共用リソースへのアクセスを仲介するためのアービタ

として使用することもできる。さらに別の例において、プログラマブルロジックデバイス10は、プロセッサ1004とシステム1002内の別の構成要素との間のインターフェースとして構成することができる。システム1002は単に説明のためのものであり、本発明の本質的な視点および概念は請求の範囲によってのみ定義されることが理解されよう。

【0057】本発明に係るプログラマブルロジックデバイスを実施するために、種々の技術ならびにこれらのデバイスの種々の構成要素（例えば、前述したPLC、ならびにPLCを制御するFCE）を使用することができる。例えば、各PLCはスイッチまたはスイッチ群等の比較的単純なプログラマブルコネクタとすることができ、これによって複数の入力のうちのいずれか一つが出力に接続する。他方、各PLCは、接続を形成するとともにロジック（例えば、入力のいくつかを論理的に接続する）を実行することができるより複雑な要素とすることができます。後者において、各PLCは、例えば、AND, NAND, OR, またはNOR等の関数を実行する積算項ロジックとすることができます。PLCを実施するために適した構成要素の例としては、EPROM、EEPROM、パストランジスタ、伝送ゲート、アンチヒューズ、レーザヒューズ、メタルオプショナル連係装置等が挙げられる。前述したように、PLCの要素は、種々のプログラム可能な機能制御要素（“FCE”）によって制御することができる。（特定のPLC実施形態（例えばヒューズおよびメタルオプショナル連係装置）においては独立したFCEデバイスは不要である。）FCEはさらに複数の異なった方式で実施することができる。例えば、FCEは、SRAM、DRAM、ファーストインファーストアウト（“FIFO”）メモリ、EPROM、EEPROM、機能制御レジスタ（例えばウォールストロムの米国特許第3473160号公報参照）、強誘電体メモリ、ヒューズ、アンチヒューズ等とすることができます。前述した種々の例から、本発明は一回のみプログラム可能なデバイスおよび再プログラムが可能なデバイスの双方に適用し得ることが理解されよう。

【0058】以上の記述は単に本発明の原理を説明する目的のものであり、当業者においては本発明の視点および概念を逸脱することなく種々の設計変更をなし得ることが理解されよう。例えば、ロジックユニット階層内の各レベルにおけるロジックユニットの数は、ここで説明した実施例と異なったものとすることができます。同様に、種々の形式の相互接続コンダクタおよび他の要素の数も前述の実施例と異なったものとすることができます。必要に応じて、異なる形式およびサイズのロジックおよびメモリユニットを使用することができる。さらに、“行”および“列”、“水平”および“垂直”、“左”および“右”、“最上部”および“底部”、ならびにその他の方向および方向付け表現は、単に利便性のために

使用されており、これらの表現を使用する上で固定的または絶対的な方向を意図するものではない。例えば、上記の各対の表記は、必要に応じて逆転させることができる。

【図面の簡単な説明】

【図1】本発明に従って構成された典型的なプログラマブルロジックアレー集積回路デバイスの代表的な部分を示す概略ブロック線図である。

【図2】図1のデバイスの追加的な要素を示す代表的な部分の概略ブロック線図である。

【図3】図1のデバイスのさらに別の要素を示す代表的な部分のより詳しいが依然として簡略化された概略ブロック線図である。

【図4】図1のデバイスのさらに別の要素を示す代表的な部分のより詳しいが依然として簡略化された概略ブロック線図である。

【図5】図1のデバイスのさらに別の要素を示す代表的な部分のより詳しいが依然として簡略化された概略ブロック線図である。

【図6】図1のデバイスの別の側面を示す代表的な部分のより詳しいが依然として簡略化された概略ブロック線図である。

【図7】図1のデバイスのさらに別の側面を示す代表的な部分のより詳しいが依然として簡略化された概略ブロック線図である。

【図8】図7の回路の各部を示すより詳しいが依然として簡略化された概略ブロック線図である。

【図9】図1のデバイスのさらに別の側面を示す代表的な部分のより詳しいが依然として簡略化された概略ブロック線図である。

【図10】図9の回路の代表的な部分を示す概略図である。

【図11A】図9の回路の各部を示すより詳しいが依然として簡略化された概略ブロック線図である。

【図11B】図11Aの分図である。

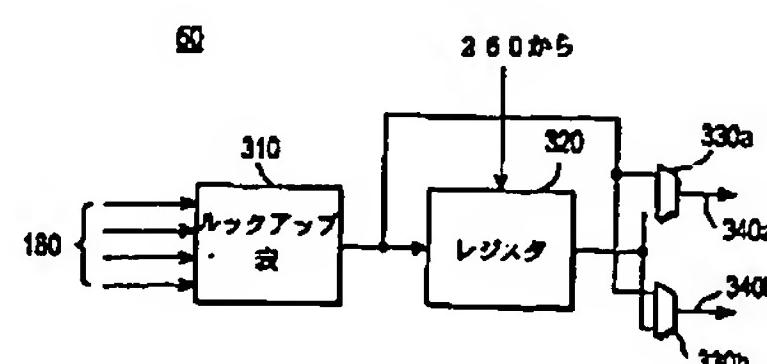
【図12】図1のデバイスのさらに別の側面を示す代表的な部分の概略ブロック線図である。

【図13】本発明に係るプログラマブルロジックデバイスを使用する例示的なシステムを示す概略ブロック線図である。

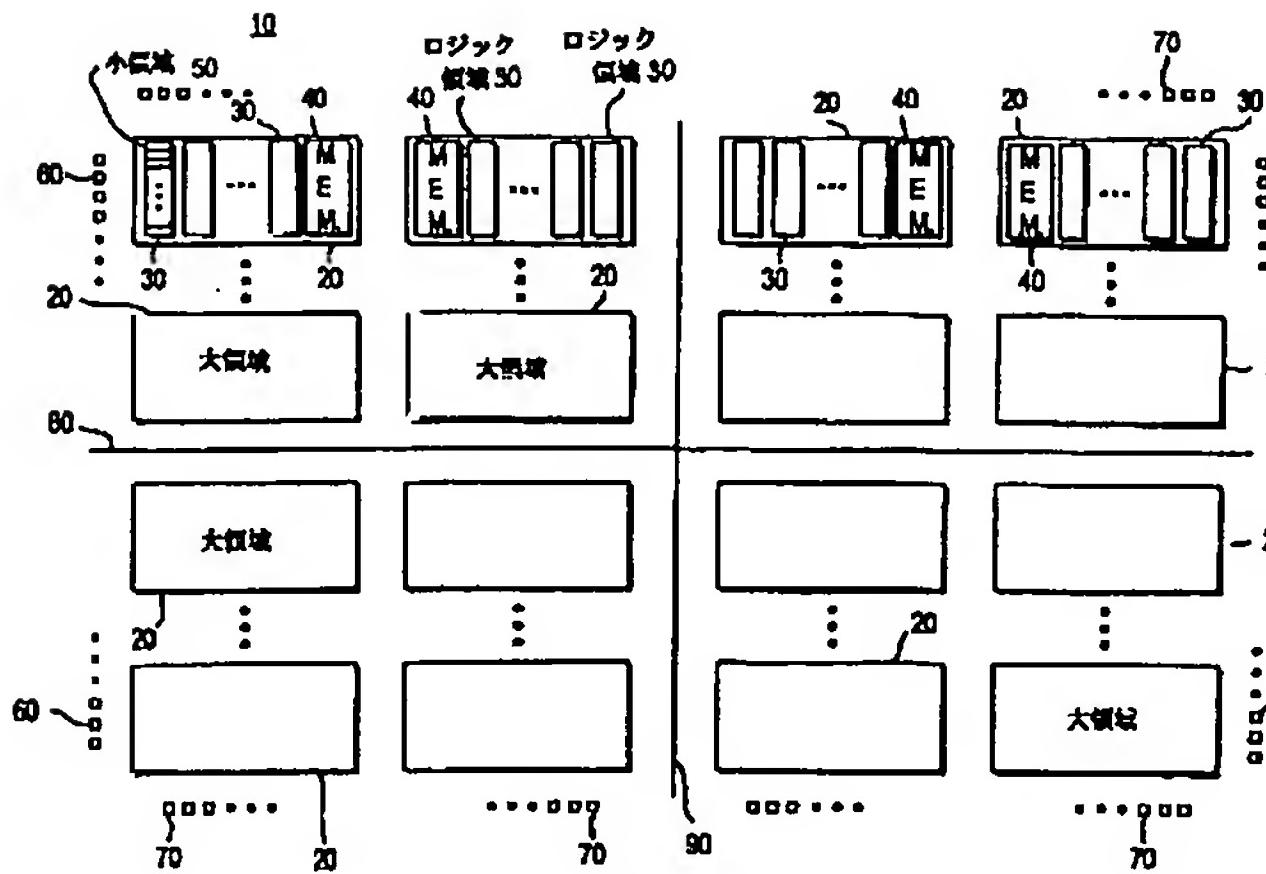
【符号の説明】

- 10 プログラマブルロジックデバイス
- 20 大領域
- 30 ロジック領域
- 40 メモリ領域
- 50 小領域
- 60, 70 I/O端子
- 80, 90 ライン
- 100, 100', 110, 140, 150, 160,
180, 220, 241' コンダクタ
- 120, 130, 250 バッファ
- 122, 132, 242, 252 FCE
- 162 交差部分
- 170, 241, 244, 330, 410, 420, 4
24, 430, 440, 444, 460, 470, 59
0, 882 PLC
- 190, 200, 210, 240, 270, 412, 4
22, 432, 442, 462 ドライバ
- 230 端子
- 260, 540, 550, 600, 610, 620, 6
30, 640, 810, 820, 830, 840, 85
0, 860, 870, 880 回路
- 310 ルックアップテーブル
- 320 レジスタ
- 340, 350 出力信号
- 510 ブロック
- 512, 514, 516, 520, 522, 524, 5
30, 534, 542, 544, 562, 592, 59
8, 602 導線
- 532, 710, 720 インバータ
- 560, 580 ANDゲート
- 570 デコーダ
- 730, 740, 750, 760, 770 トランジス
タ
- 1002 データ処理システム
- 1004 プロセッサ
- 1006 メモリ
- 1008 I/O回路
- 1010 周辺機器
- 1020 システムバス
- 1030 回路基板
- 1040 エンドユーザシステム

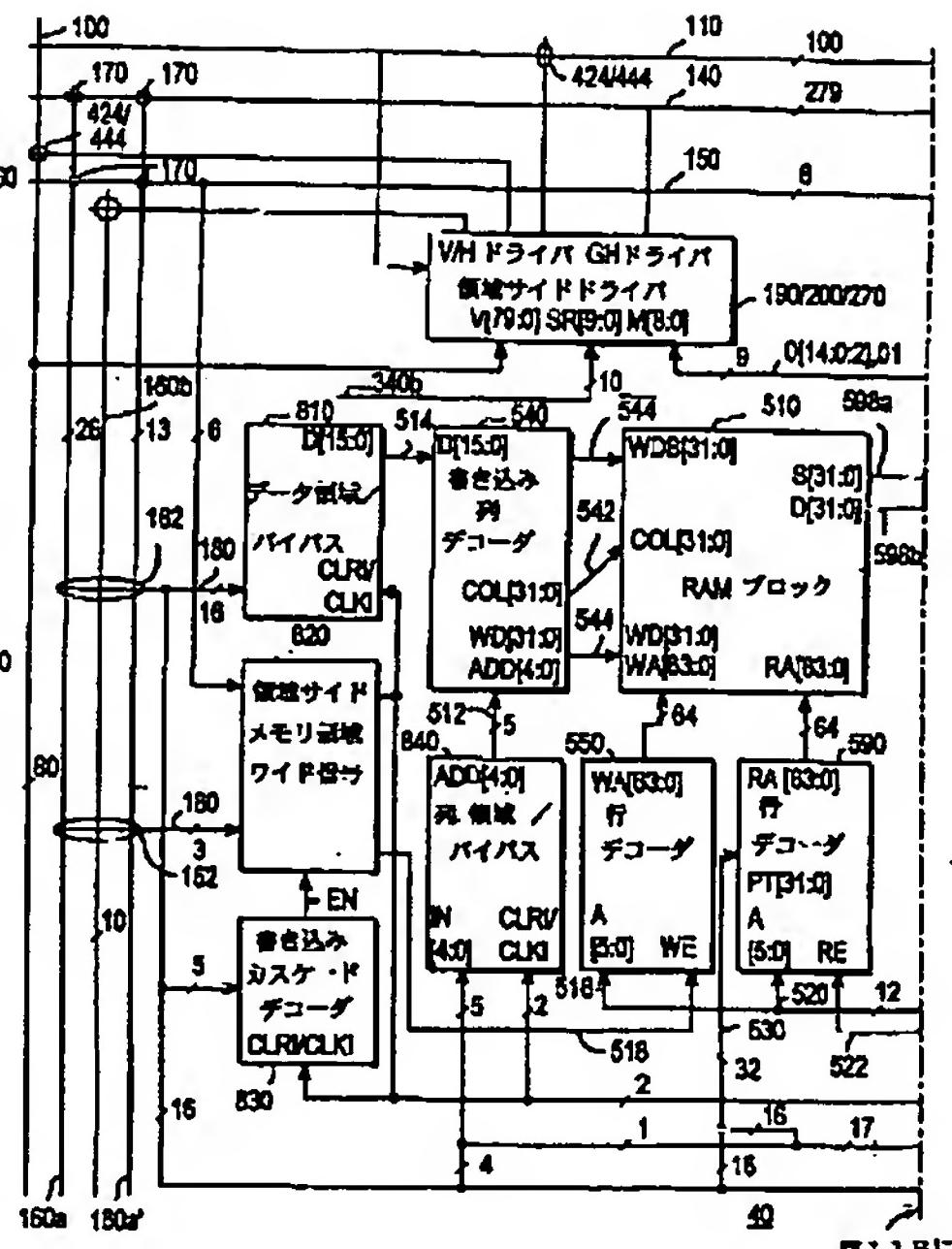
【図6】



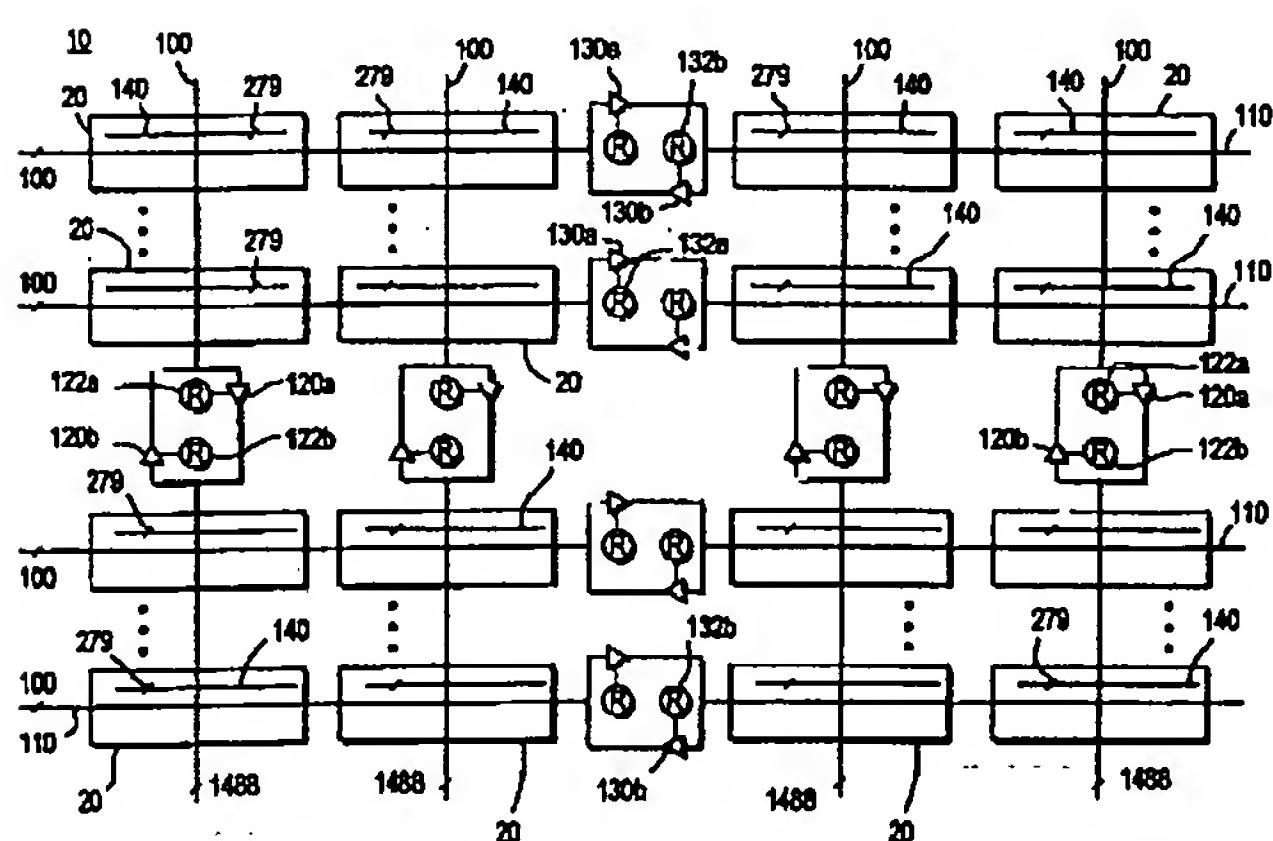
【图1】



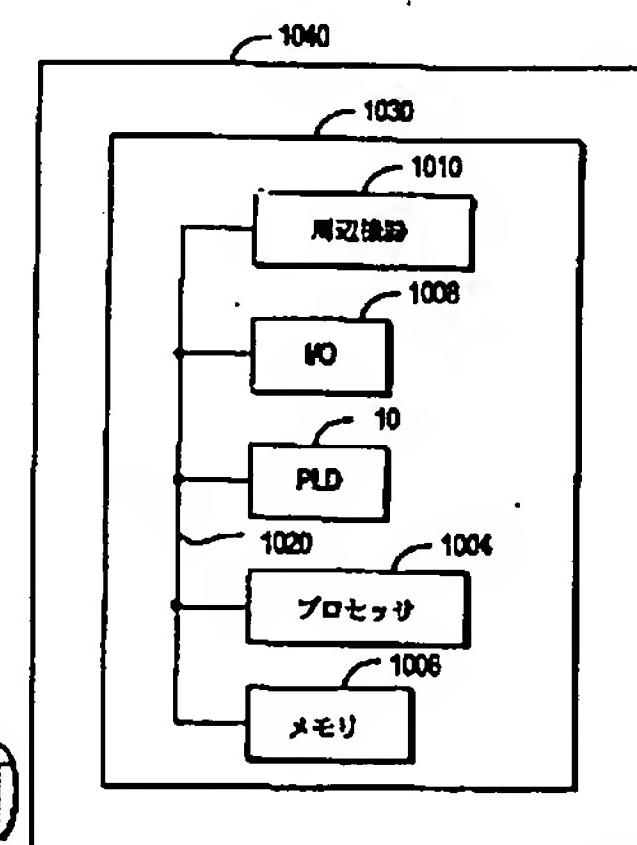
【图11A】



〔图2〕

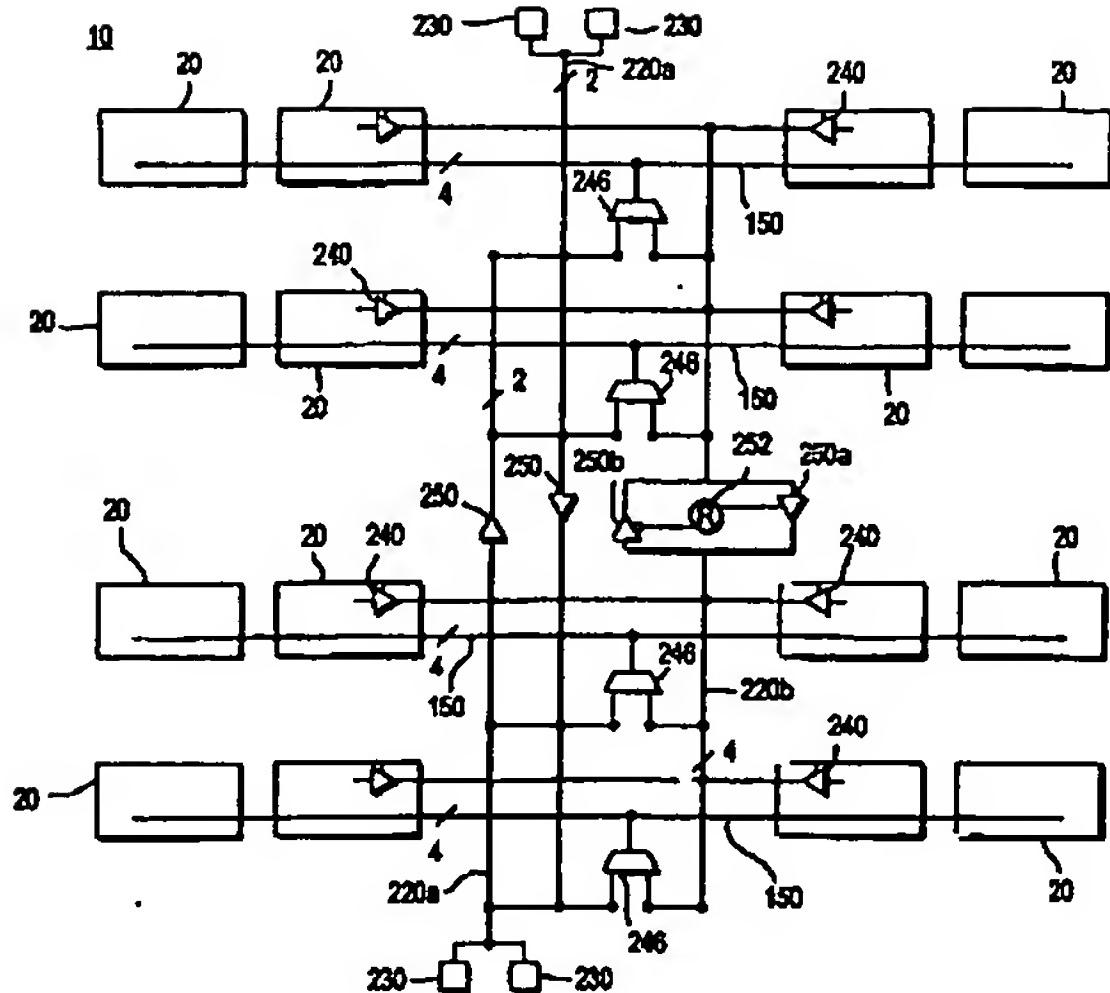


【 3】

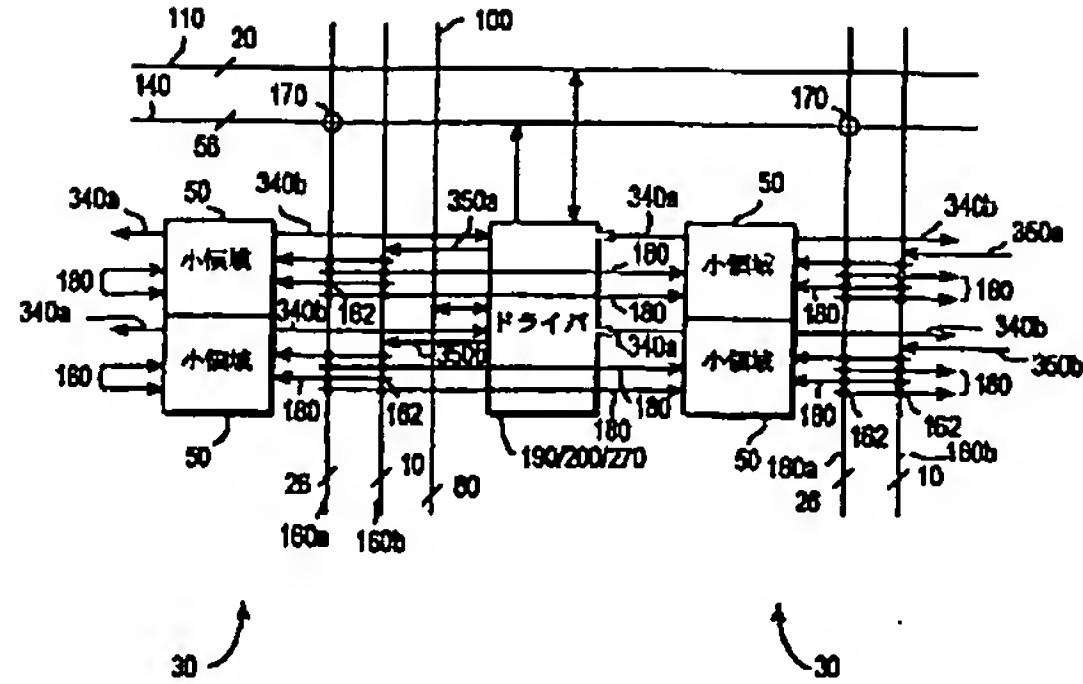


This block diagram illustrates a signal processing architecture. At the top, there are two sets of input lines labeled 170, 100, 6, 170, 150, 100, 140, 170, 100, and 100'. These lines connect to a series of driver blocks. The first two blocks are labeled 'GH ドライバ' (GH Driver) and 'VH ドライバ' (VH Driver), each with a multiplier '(x 15)' or '(x 10)'. They receive inputs from the top lines and output to '小領域出力' (Small Region Output) blocks. The third and fourth blocks are also labeled 'GH ドライバ' and 'VH ドライバ' with multipliers '(x 15)' and '(x 10)'. They receive inputs from the second set of driver blocks and output to '小領域出力' blocks. The fifth block is a 'メモリ / 小領域出力' (Memory / Small Region Output) block, which receives inputs from the fourth set of driver blocks. The final block is a 'トライステートドライバ' (Tri-state Driver) block, which receives inputs from the fifth block and outputs to the bottom lines labeled 160a, 160b, 80, 160a, 160b, 180, 80, 160a, 160b, 160a, 180, 195, and 13. The bottom lines also include labels 26, 10, 150, 182, 25, 10, 26, 182, 13, 210, and 13.

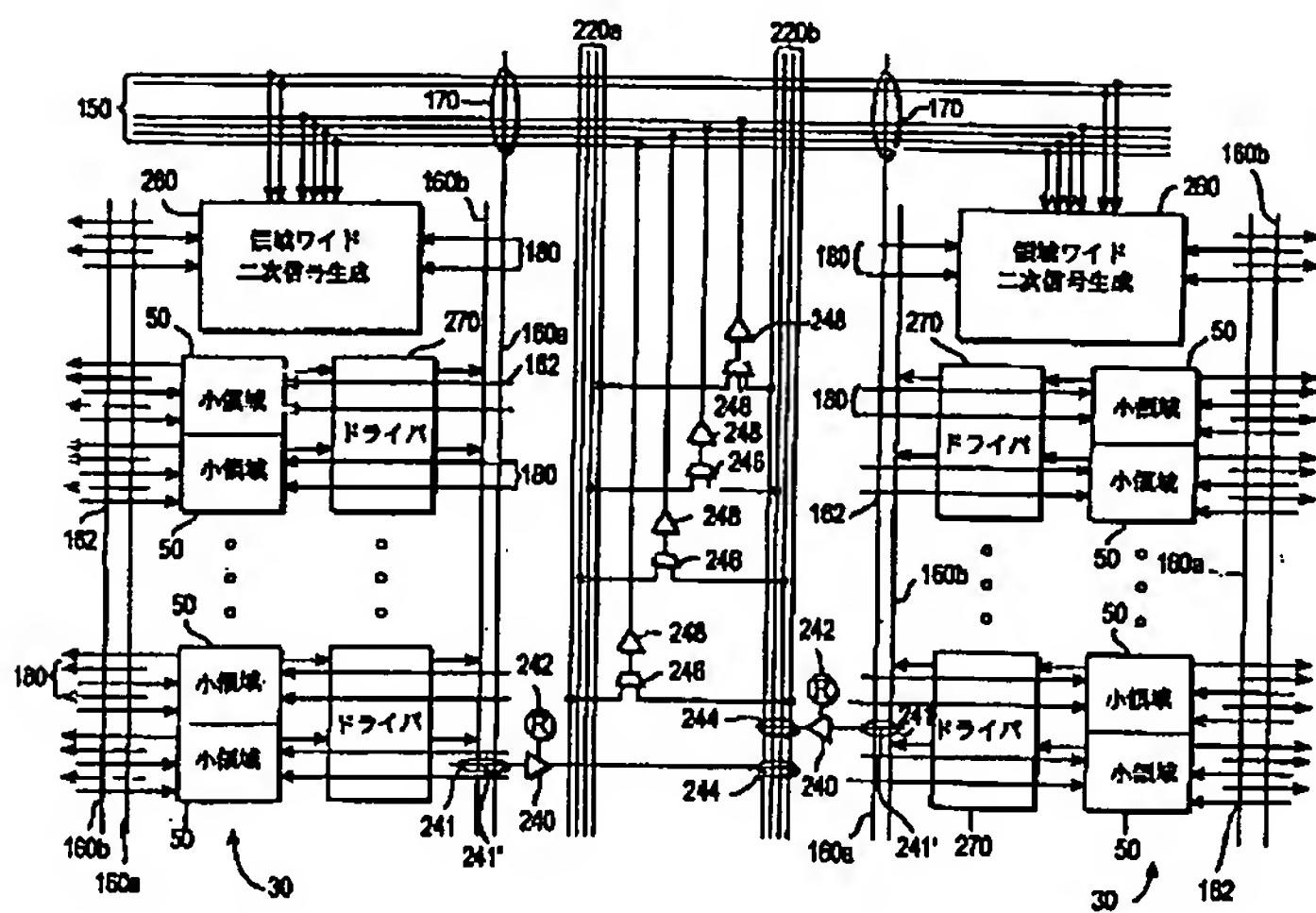
【4】



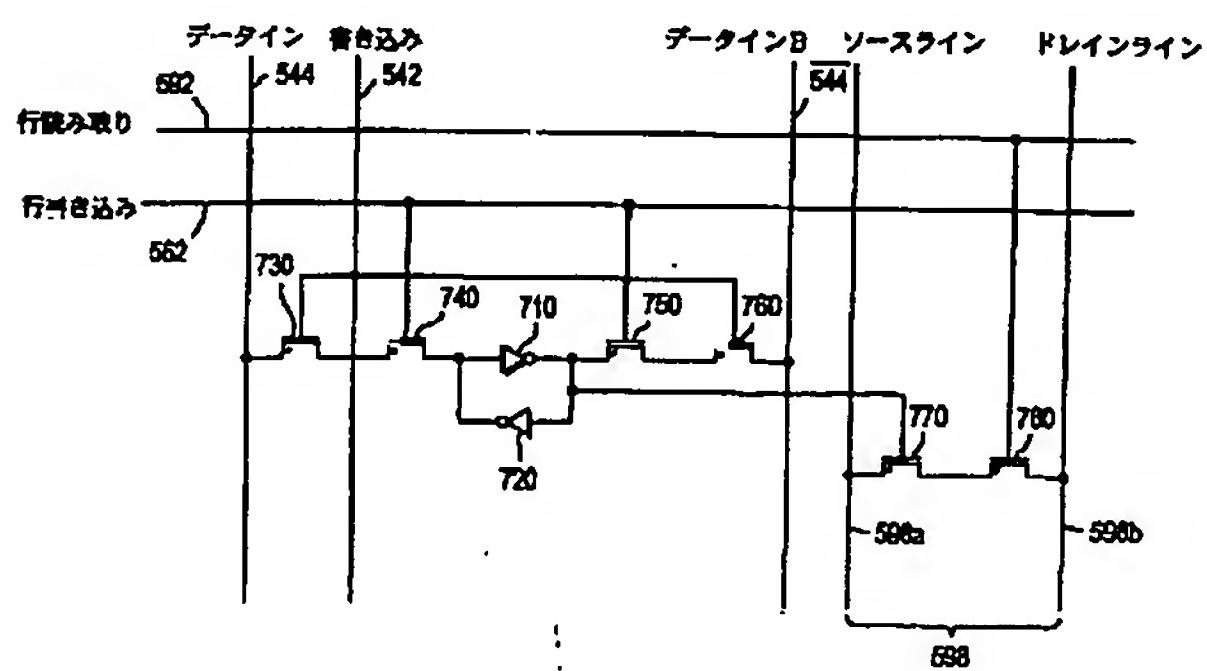
【四七】



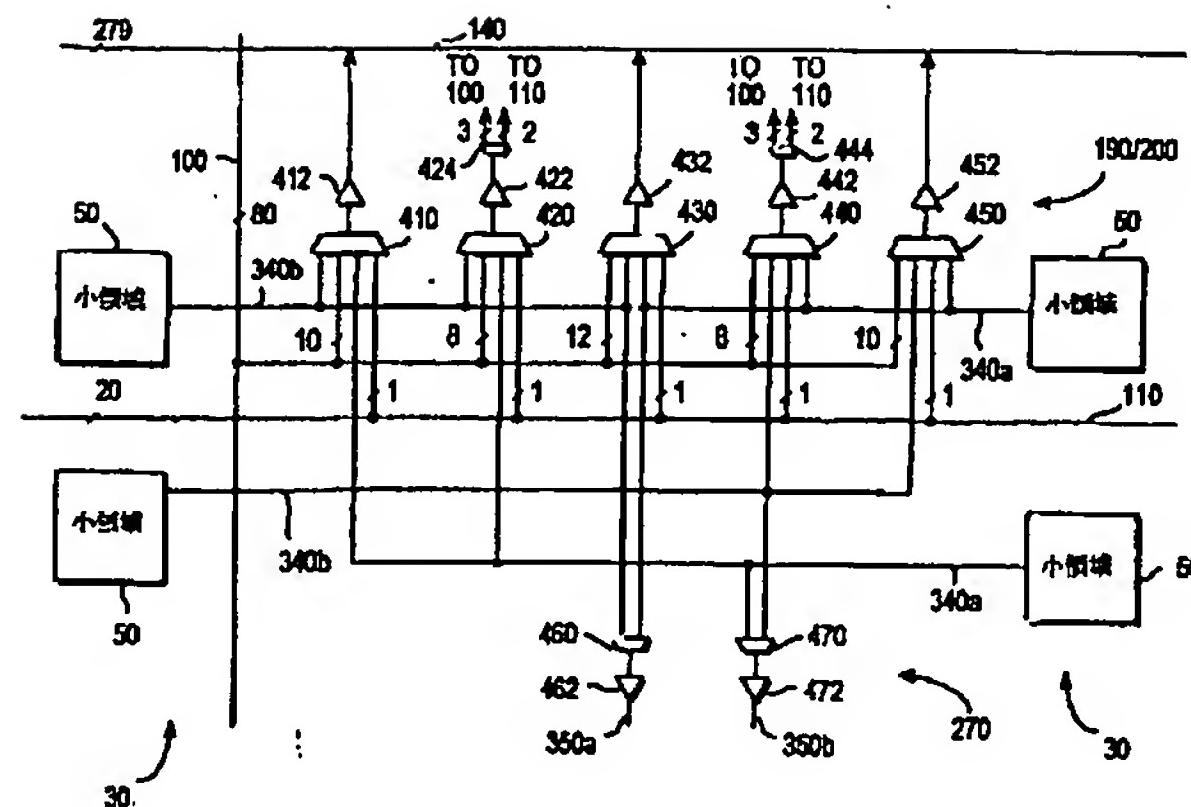
【图5】



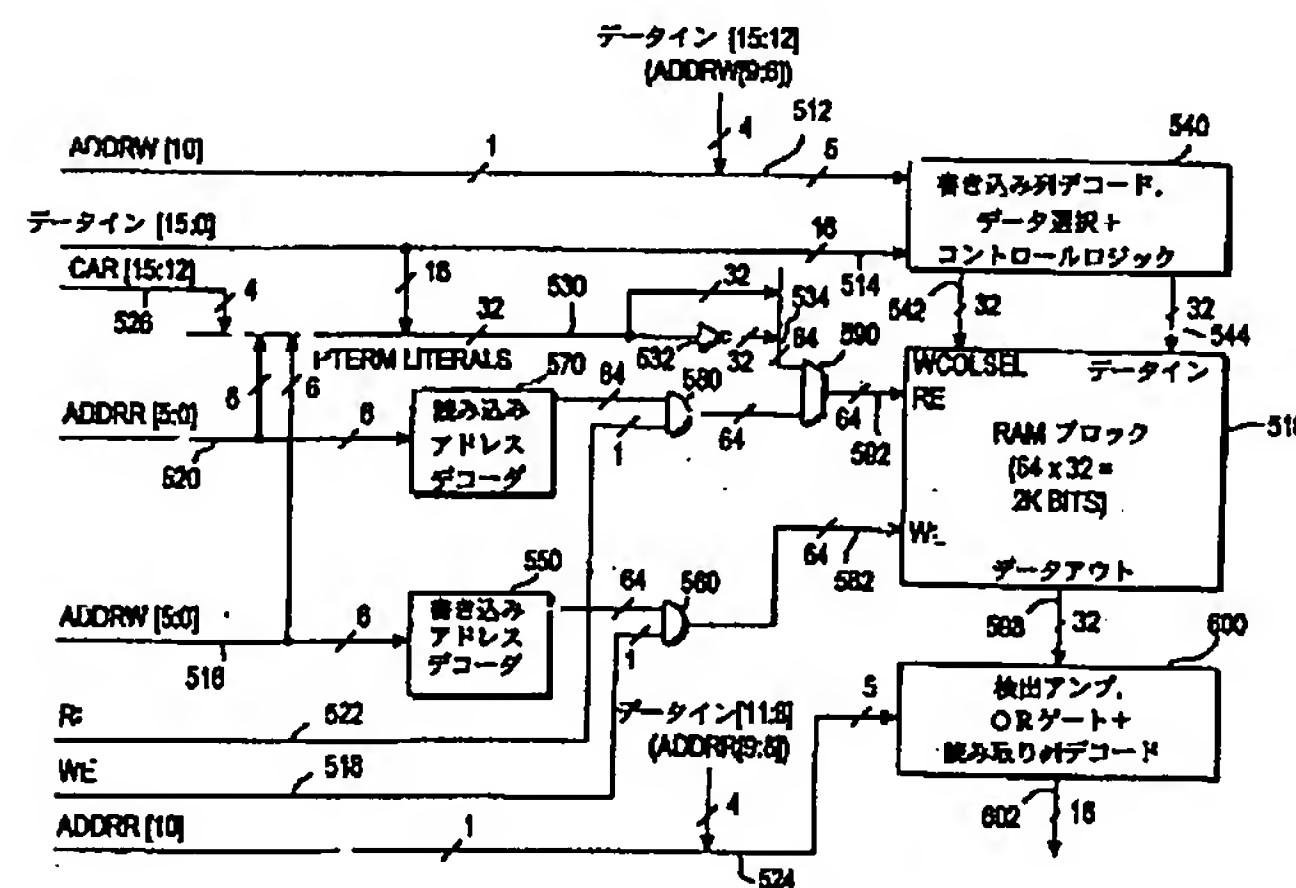
【图10】



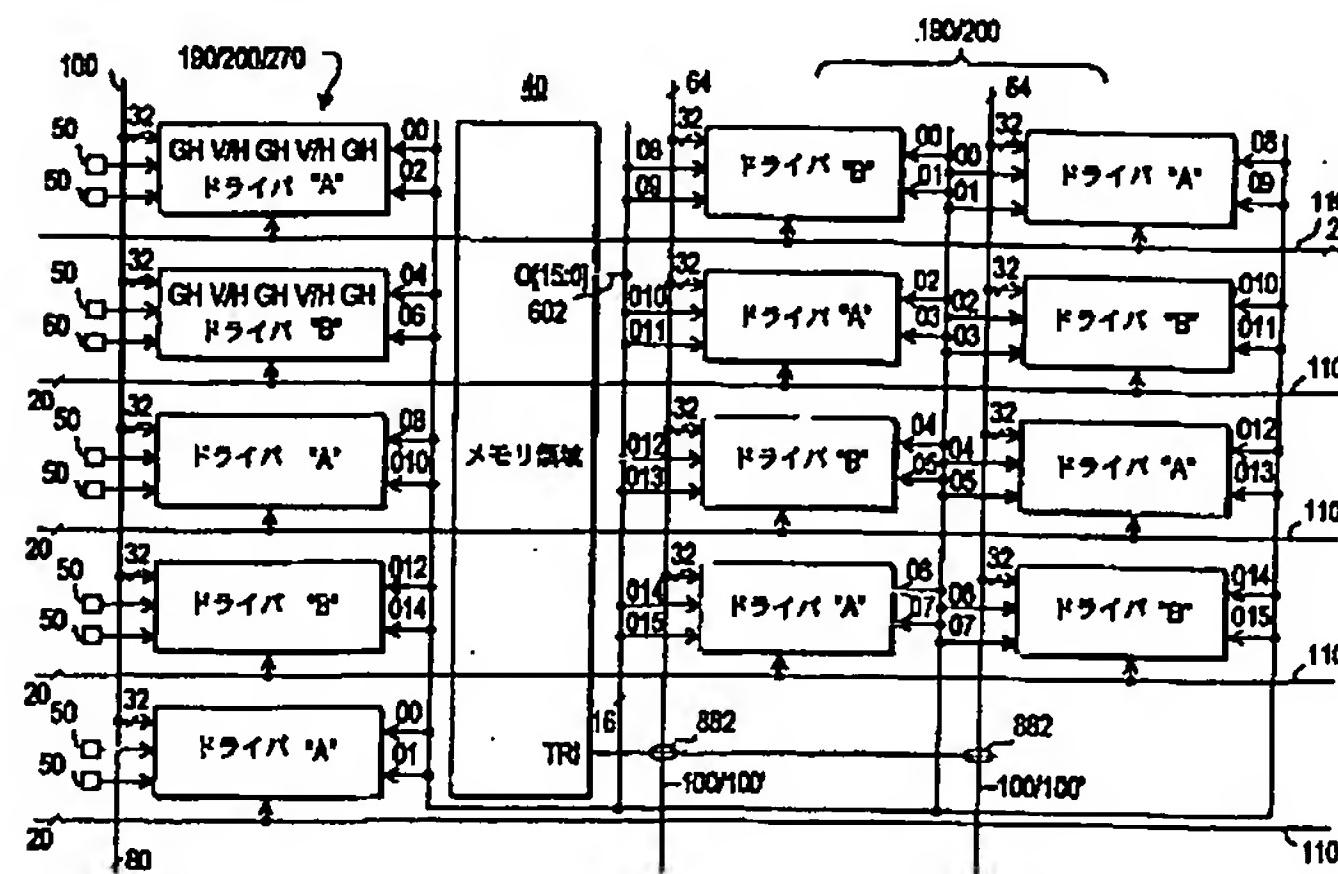
【图8】



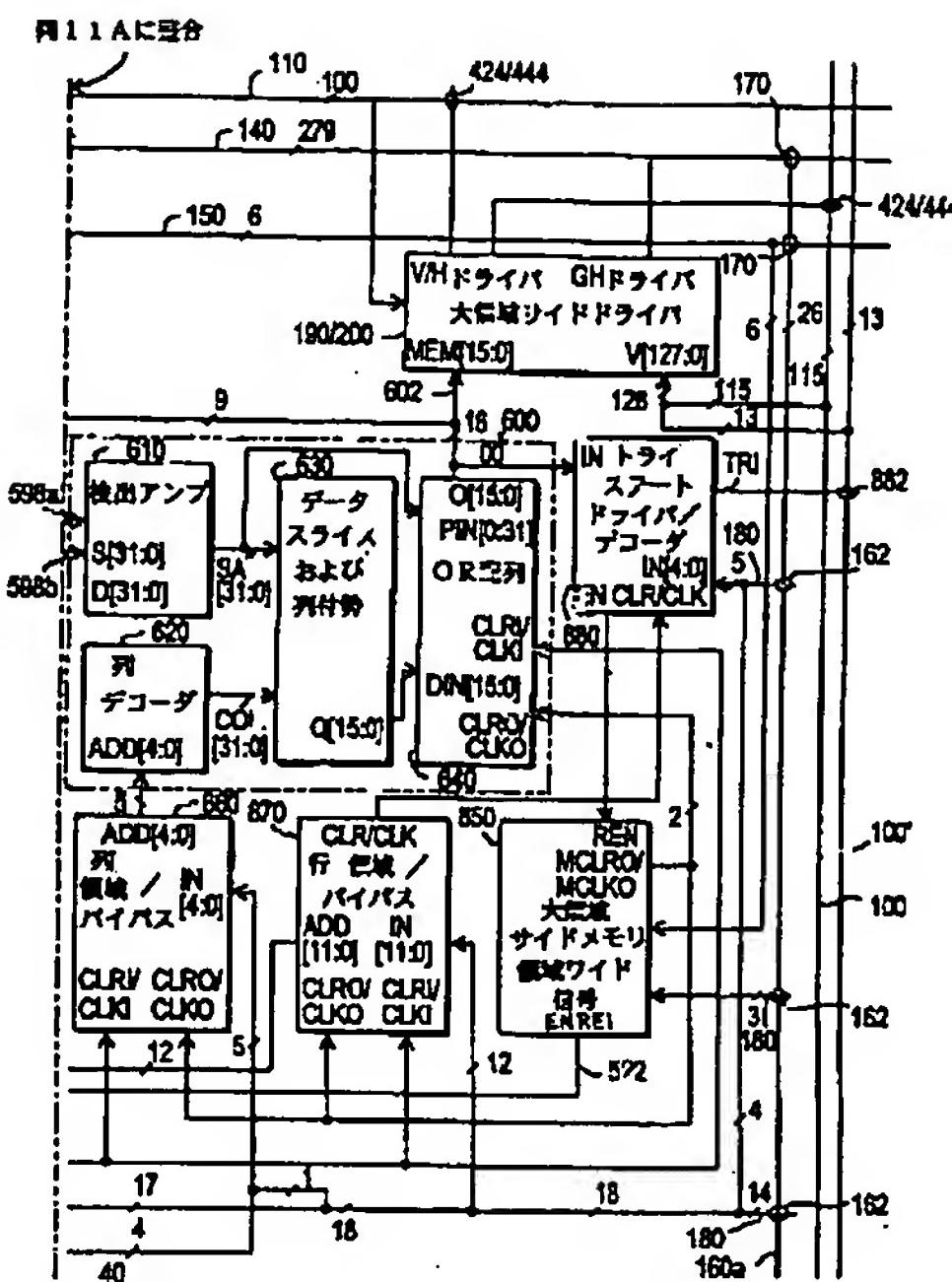
(X 9)



【図12】



【习题11B】



フロントページの続き

(72)発明者 キャメロン マクリントック
アメリカ合衆国、カリフォルニア 95134
サン ホセ、イノベーション ドライブ
101、ケアオブ アルテラ コーポレーション

(72)発明者 ジェームズ シュライカー
アメリカ合衆国、カリフォルニア 95134
サン ホセ、イノベーション ドライブ
101、ケアオブ アルテラ コーポレーション

(72)発明者 アンディー エル リー
アメリカ合衆国、カリフォルニア 95134
サン ホセ、イノベーション ドライブ
101、ケアオブ アルテラ コーポレーション

(72)発明者 マニュエル メヒーア
アメリカ合衆国、カリフォルニア 95134
サン ホセ、イノベーション ドライブ
101、ケアオブ アルテラ コーポレーション

(72) 発明者 ブルース ビー ペダーセン
アメリカ合衆国、カリフォルニア 95134
サン ホセ、イノベーション ドライブ
101、ケアオブ アルテラ コーポレーション

(72) 発明者 クリストファー エフ レーン
アメリカ合衆国、カリフォルニア 95134
サン ホセ、イノベーション ドライブ
101、ケアオブ アルテラ コーポレーション

(72)発明者 リチャード ジー クリフ
アメリカ合衆国、カリフォルニア 95134
サン ホセ、イノベーション ドライブ
101、ケアオブ アルテラ コーポレーション

(72)発明者 スリニバス ティー レディ
アメリカ合衆国、カリフォルニア 95134
サン ホセ、イノベーション ドライブ
101、ケアオブ アルテラ コーポレーション